

INFORME TECNICO CAY 1987-2

Tarjeta de Interfase de Salida de
Datos OAN-114

Alberto Barcia Cancio

1. INTRODUCCION

El circuito OAN-114 tiene por objeto la salida de datos desde el ordenador HP-1000, donde va instalado, hacia el HP-2100S.

Tiene capacidad para la salida de 16 bits en paralelo. Envía una señal DATO DISPONIBLE hacia el exterior (HP-2100S) en forma de nivel 1 TTL, accionada por la señal STC del ordenador, que puede ser desactivada por una señal CLC del mismo o por la señal DATO ACEPTADO procedente del exterior. La señal DATO ACEPTADO acciona el "FLAG BUFFER FF" del ordenador.

El dato de salida se mantiene en un registro de 16 bits hasta ser sustituido por un nuevo dato.

La conexión con el exterior se hace por conector de 24 contactos, norma 3,96. Realizado en circuito impreso con metalización por ambas caras.

Niveles lógicos TTL. El dato de salida tiene sus niveles lógicos invertidos con objeto de adaptarlos a la lógica, también invertida, de la tarjeta OAN-110 instalada en el ordenador HP-2100S, que actúa como receptora.

2. DESCRIPCION DE LOS CIRCUITOS

2.1 Sección de Control

Esquematzada en la figura 1. Su funcionamiento se describe en la referencia (1).

2.2 Sección de Transferencia de datos y "Encode"

Esquematzada en la figura 2. La información de salida se almacena en los registros tipo 74L75 cuando se produce una instrucción OTA/B, la cual genera una señal IOO y una IOC a las interfases conectadas al bus de salida del ordenador a la vez que pone niveles 1 en las líneas LSCL y LSCM de la interfase apropiada (fig. 1). La salida de cada registro, una vez invertida, se aplica a la línea a través de un filtro RC formado por una resistencia de 22 ohm y un condensador de 8.2 nF cuya finalidad es limitar la pendiente de subida o bajada de las tensiones en la línea a valores $|dv/dt| \leq 30 \text{ V}/\mu\text{s}$ (recomendación RS232C) para evitar efectos de inducciones (en particular sobre las líneas de DATO DISPONIBLE y de DATO ACEPTADO).

La señal DATO DISPONIBLE se activa poniendo en estado "set" el "ENCODE FF" por efecto de una señal STC enviada por el ordenador a la interfase. El monoestable U23 (74L121) introduce un retardo de 4 μs equivalente a 3τ (τ =constante de tiempo de carga del condensador de 8.2 nF del filtro de salida al pasar de 0 a 1) con objeto de dar tiempo a que se estabilice la tensión en las líneas de datos. Además, cuando se está haciendo una transferencia por DCPC, este retardo hace que la señal DATO DISPONIBLE aparezca en la línea después de haber terminado el ciclo DCPC que la ha generado, con lo cual se elimina el problema de que los circuitos del DCPC generan un "device command" antes de presentar el dato a la salida (referencia (2)), pudiéndose utilizar el método standard de inicialización (método 1).

La señal DATO ACEPTADO se recibe a través de un filtro RC (R = 22 ohm, C = 8.2 nF) cuya finalidad es evitar disparos del monoestable U43 (74L121) por espúreos de la línea.

3. TIMING DE LAS SEÑALES

Se indica en la figura 3. Las señales marcadas con * se presentan en periodos distintos del ciclo I/O según que la salida esté controlada por programa o por DCPC. En la figura 3 se indica con trazo continuo el caso de control por programa. En el caso DCPC se tiene:

- CLC tiene nivel alto durante los periodos T3T4.
- CLF tiene nivel alto durante T3.
- STC tiene nivel alto durante T3.

4. PROGRAMACION

La salida de una palabra se efectúa mediante una instrucción OTA/B SC. El circuito OAN-114 puede funcionar bajo control del DCPC de manera standard.

REFERENCIAS

- (1) A Pocket Guide to Interfacing the HP Computer, Pág. 2-97. Editado por HP Company. Cupertino, California.
- (2) HP 1000 M/E/F-Series Computers Technical Reference Handbook. Pág. 3-15. Manual Part No. 5955-0282. Editado por HP Company. Cupertino, California.

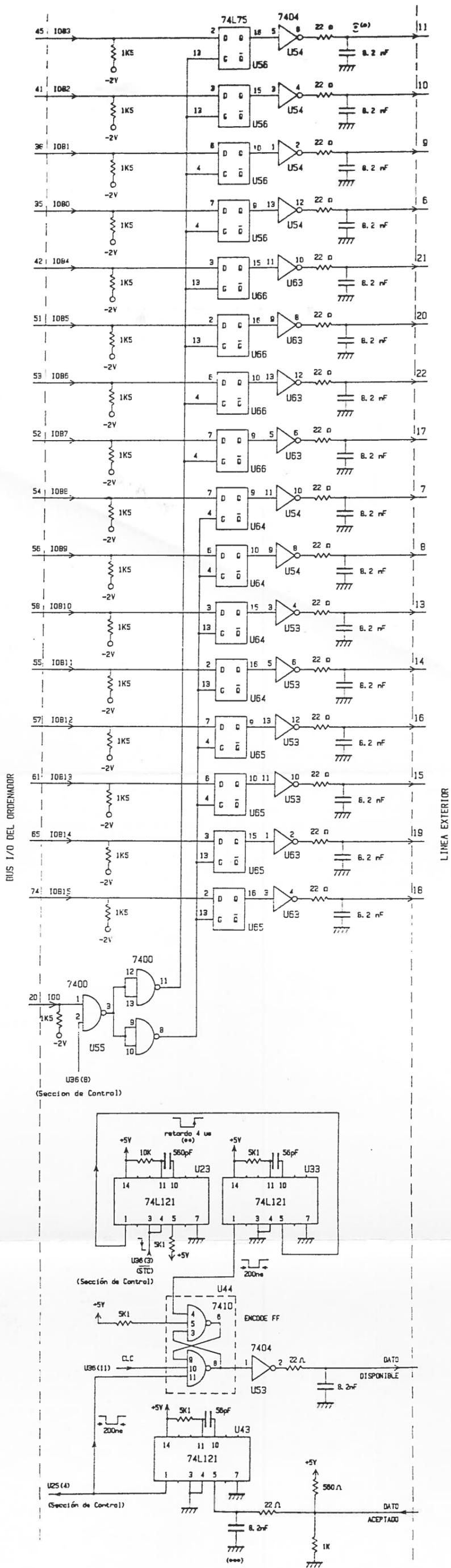


Figura 2. Sección de transferencia de datos y "encode"

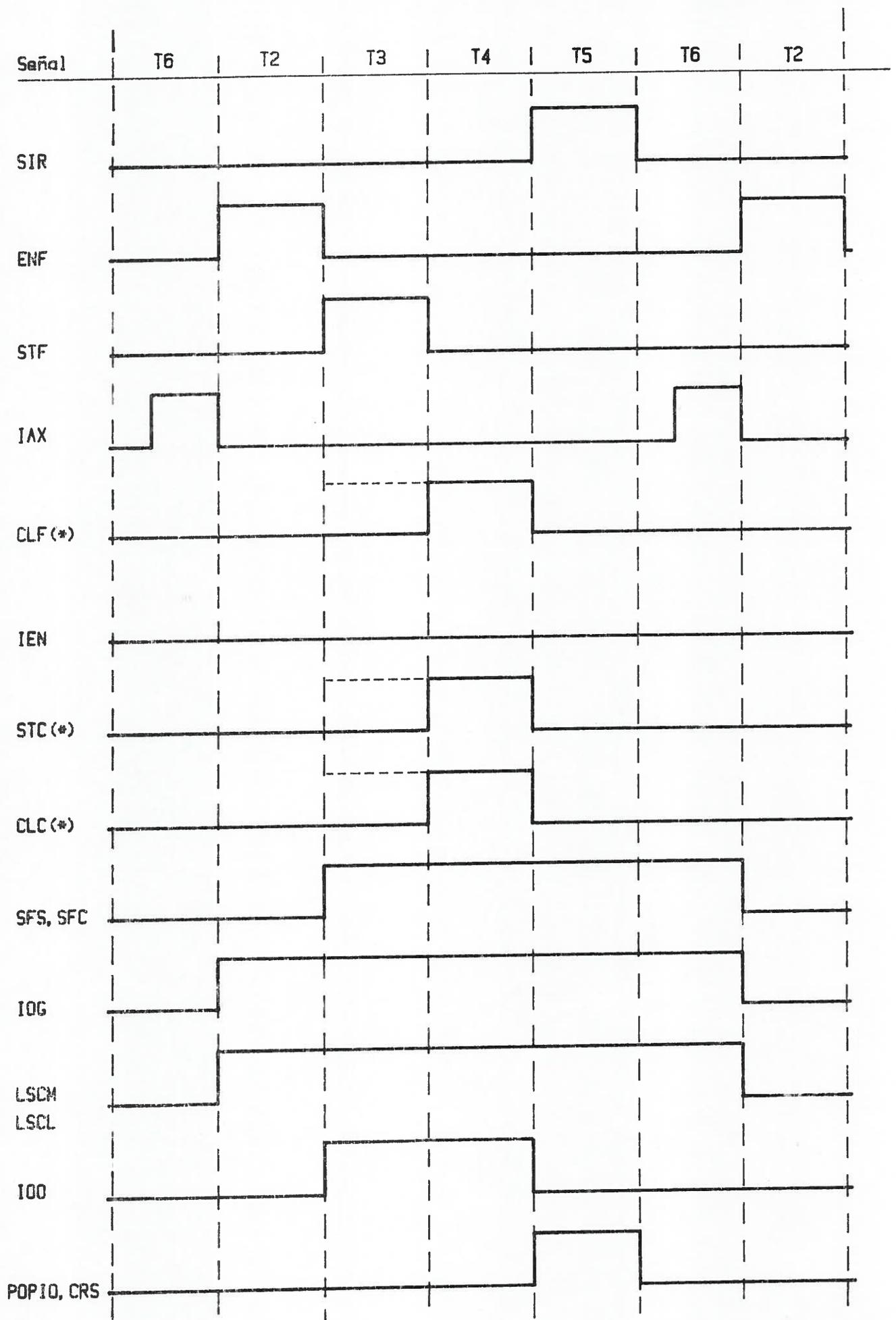


FIGURA 3

Timing de la sección I/O del ordenador